

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

8/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351: Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

011273559 \*\*Image available\*\*  
WPI Acc No: 1997-251462/199723  
XRPX Acc No: N97-207889

Nonvolatile semiconductor memory e.g. NAND type EEPROM - has drain and source diffusion layers used as drain and source area of each MOS transistor, and alternately arranged on both sides of word line shared by several pairs of memory cells

Patent Assignee: TOSHIBA KK (TOKE )  
Number of Countries: 001 Number of Patents: 001  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9082926	A	19970328	JP 95239916	A	19950919	199723 B

Priority Applications (No Type Date): JP 95239916 A 19950919

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9082926	A	13	H01L-027/115	

Abstract (Basic): JP 9082926 A

The memory has several pairs of memory cells that share a word line (108). The memory cell comprises several MOS transistors. Two source diffusion layers (103a, 103b) are formed as a continuous common diffusion layer of each pair of memory cell. The source diffusion layers are connected by a source line (118).

Two drain diffusion layers (102a, 102d) are independently used as the drain area of the two MOS transistors. The two source diffusion layers are used as the source area of the two MOS transistors. The drain and source diffusion layers are alternately arranged on both sides of the word line.

ADVANTAGE - Reduces pitch between bitlines by narrowing distance adjoining MOS transistors, thus minimising width of memory cell array.  
Dwg. 1/16

Title Terms: SEMICONDUCTOR; MEMORY; NAND; TYPE; EEPROM; DRAIN; SOURCE; DIFFUSION; LAYER; DRAIN; SOURCE; AREA; MOS; TRANSISTOR; ALTERNATE; ARRANGE; SIDE; WORD; LINE; SHARE; PAIR; MEMORY; CELL

Derwent Class: U14

International Patent Class (Main): H01L-027/115

International Patent Class (Additional): H01L-021/8247; H01L-029/788; H01L-029/792

File Segment: EPI

8/5/2 (Item 1 from file: 347)  
DIALOG(R) File 347: JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

05468126 \*\*Image available\*\*  
SEMICONDUCTOR STORAGE DEVICE

PUB. NO.: 09-082926 JP 9082926 A)

PUBLISHED: March 28, 1997 (19970328)

INVENTOR(s): ABE MACHIKO  
ARAKI HITOSHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 07-239916 [JP 95239916]

FILED: September 19, 1995 (19950919)

INTL CLASS: [6] H01L-027/115; H01L-021/8247; H01L-029/788; H01L-029/792

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,

MOS)

#### ABSTRACT

PROBLEM TO BE SOLVED: To enable reduction in the width of a memory cell array by making a pitch between bit lines very fine, in a semiconductor storage device having a plurality of memory cells.

SOLUTION: A semiconductor storage device is provided with a plurality of MOS transistors constituting memory cells, and a word line 108 which intersects channel regions of the MOS transistors, in a memory cell array. Two drain diffusion layers 102a-102d turning to the respective drain regions of the two MOS transistors and one source diffusion layer 103a, 103b turning to source regions of the two MOS transistors are alternately arranged interposing the word line 108. The source diffusion layers 103a, 103b are mutually connected through a source line 118.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-82926

(43)公開日 平成9年 (1997) 3月28日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115			H 0 1 L 27/10	4 3 4
21/8247			29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数9 O L (全 13 頁)

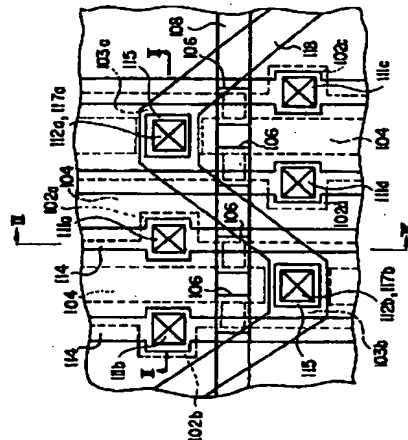
(21)出願番号	特願平7-239916	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成7年 (1995) 9月19日	(72)発明者	阿部 真千子 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72)発明者	荒木 仁 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 メモリセルを複数個有する半導体記憶装置において、ビット線間のピッチを微細化し、メモリセルアレイの幅を小さくする。

【解決手段】 半導体記憶装置は、メモリセルを夫々構成する複数のMOSトランジスタと、前記MOSトランジスタのチャネル領域を横断するワード線108とを、メモリセルアレイ内に具備する。ワード線108を挟んで、2つのMOSトランジスタの夫々のドレイン領域となる2つのドレイン拡散層102a~102dと、2つのMOSトランジスタのソース領域となる1つのソース拡散層103a、103bとが互い違いに配設される。ソース拡散層103a、103bどうしはソース線118により接続される。



## 【特許請求の範囲】

【請求項1】第1導電型の半導体基板に形成された素子分離領域と、前記基板上にゲート絶縁膜を介して形成されたワード線となるゲート電極と、前記ゲート電極を挟んで前記基板に形成されたソース、ドレインとなる第2導電型の拡散層と、からなるメモリセルを複数個配列した半導体記憶装置において、

前記ワード線を共有して隣接する2つのメモリセルからなるメモリセル対を複数個具備し、前記各メモリセル対の拡散層の内、ソース拡散層は各メモリセル対の2つのメモリセルにまたがる連続した共通の拡散層として形成され、ドレイン拡散層は各メモリセル対の2つのメモリセルの夫々で独立した拡散層として形成されることと、前記ワード線を共有して隣接する2つのメモリセル対のソース拡散層及びドレイン拡散層は前記ワード線を挟んで互い違いに配置されていることと、を特徴とする半導体記憶装置。

【請求項2】前記各メモリセル対の2つのドレイン拡散層間の素子分離幅は、隣接する2つのメモリセル対間のドレイン拡散層とソース拡散層との間の素子分離幅と等しいことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】前記各メモリセル対の2つのドレイン拡散層に対するコンタクトホールを中心点の夫々は、前記ワード線の延在方向と直交する2つのメモリセルのチャンネル領域の各中心線に対して、夫々に隣接するメモリ対のソース拡散層側に片寄って位置することを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項4】前記各メモリセルは前記基板と前記ゲート電極との間に電荷蓄積領域を具備することを特徴とする請求項1乃至3のいずれかに記載の半導体記憶装置。

【請求項5】第1導電型の半導体基板に形成された素子分離領域と、前記基板上にゲート絶縁膜を介して形成されたワード線となるゲート電極と、前記ゲート電極を挟んで前記基板に形成されたソース、ドレインとなる第2導電型の拡散層と、からなるメモリセルを複数個直列に接続したメモリセル群を複数個配列し、ここで、前記メモリセル群は、ソース拡散層、ドレイン拡散層及びチャンネル領域からなる能動領域を連続して形成してなり、前記メモリセル群の一方の端をビット線に接続するドレイン拡散層、他方の端をソース線に接続するソース拡散層とした半導体記憶装置において、

前記ワード線を共有して隣接する2つのメモリセル群からなるメモリセル群対を複数個具備し、前記各メモリセル群対の拡散層の内、ソース拡散層は各メモリセル群対の2つのメモリセル群にまたがる連続した共通の拡散層として形成され、ドレイン拡散層は各メモリセル群対の2つのメモリセル群の夫々で独立した拡散層として形成されることと、前記ワード線を共有して隣接する2つのメモリセル群対のソース拡散層及びドレイン拡散層は前

記ワード線を挟んで互い違いに配置されていることと、を特徴とする半導体記憶装置。

【請求項6】前記各メモリセル群対の2つのドレイン拡散層間の素子分離幅は、隣接する2つのメモリセル群対間のドレイン拡散層とソース拡散層との間の素子分離幅と等しいことを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】前記各メモリセル群対の2つのドレイン拡散層に対するコンタクトホールを中心点の夫々は、前記ワード線の延在方向と直交する2つのメモリセル群のチャンネル領域の各中心線に対して、夫々に隣接するメモリ対のソース拡散層側に片寄って位置することを特徴とする請求項5または6に記載の半導体記憶装置。

【請求項8】前記各メモリセル群対の一方の端のメモリセルとドレイン拡散層との間、及び他方の端のメモリセルと前記ソース拡散層との間の少なくとも一方に、選択トランジスタを具備することを特徴とする請求項5乃至7のいずれかに記載の半導体記憶装置。

【請求項9】前記各メモリセルは前記基板と前記ゲート電極との間に電荷蓄積領域を具備することを特徴とする請求項5乃至8のいずれかに記載の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数のメモリセルを有する半導体記憶装置に関する。

【0002】

【従来の技術】現在、半導体装置の高集積化が進んでおり、この集積化を進めるために、素子の微細化が必要となる。図15は従来の半導体記憶装置のメモリセルアレイを示す平面図であり、図16は図15中のXVI-XVI'線に沿う断面図である。図示の如く、半導体基板501の表面に複数のドレイン拡散層502が素子分離領域504を挟んで一行に配設される。ソース拡散層503は、浮遊ゲート電極506及び制御ゲート電極508を挟んでドレイン拡散層502の行と対向するように配設される。ソース拡散層503は素子分離領域により複数に分割されておらず連続した一体の拡散層となっている。

【0003】通常、拡散層にコンタクトホールを開孔する場合、拡散層端とコンタクトホールとの間にはリソグラフィの合わせ精度と加工ばらつきを見込んだアライメントマージンLf1を設ける必要がある。これは、コンタクトホールが拡散層から外れると、ジャンクションリークが発生する虞があるからである。

【0004】また、コンタクトホール上に形成した配線層についても同様のアライメントマージンLf2を設ける必要がある。これは、配線層端がコンタクトホールの内側にずれると、配線層のエッチング(RIE)により、拡散層までエッチングされる虞があるからである。

【0005】従って、図15のような構造では、ドレイ

ン拡散層502の行において、拡散層502とコンタクトホール511との間のマージンLf1、コンタクトホール511と配線層514との間のマージンLf2を設ける必要がある。このため、メモリセルアレイの繰り返し間隔（以下、ピッチという）の縮小、及び高集積化に限界がある。

【0006】

【発明が解決しようとする課題】この様に、従来の半導体記憶装置のメモリセルアレイにおいては、ドレイン領域間に設ける必要のあるアライメントマージンに起因し、ビット線間のピッチの縮小に限界がある。

【0007】本発明はかかる従来技術の問題点に鑑みてなされたものであり、メモリセルを複数個有する半導体記憶装置において、ビット線間のピッチを微細化し、メモリセルアレイの幅を小さくすることを目的とする。

【0008】

【課題を解決するための手段】第1の発明は、第1導電型の半導体基板上に形成された素子分離領域と、前記基板上にゲート絶縁膜を介して形成されたワード線となるゲート電極と、前記ゲート電極を挟んで前記基板上に形成されたソース、ドレインとなる第2導電型の拡散層と、からなるメモリセルを複数個配列した半導体記憶装置において、前記ワード線を共有して隣接する2つのメモリセルからなるメモリセル対を複数個具備し、前記各メモリセル対の拡散層の内、ソース拡散層は各メモリセル対の2つのメモリセルにまたがる連続した共通の拡散層として形成され、ドレイン拡散層は各メモリセル対の2つのメモリセルの夫々で独立した拡散層として形成されることと、前記ワード線を共有して隣接する2つのメモリセル対のソース拡散層及びドレイン拡散層は前記ワード線を挟んで互い違いに配置されていることと、を特徴とする。

【0009】第2の発明は、第1の発明に係る半導体記憶装置において、前記各メモリセル対の2つのドレイン拡散層間の素子分離幅は、隣接する2つのメモリセル対間のドレイン拡散層とソース拡散層との間の素子分離幅と等しいことを特徴とする。

【0010】第3の発明は、第1または第2の発明に係る半導体記憶装置において、前記各メモリセル対の2つのドレイン拡散層に対するコンタクトホールの中心点の夫々は、前記ワード線の延在方向と直交する2つのメモリセルのチャンネル領域の各中心線に対して、夫々に隣接するメモリ対のソース拡散層側に片寄って位置することを特徴とする。

【0011】第4の発明は、第1乃至第3の発明のいずれかに係る半導体記憶装置において、前記各メモリセルは前記基板と前記ゲート電極との間に電荷蓄積領域を具備することを特徴とする。

【0012】第5の発明は、第1導電型の半導体基板上に形成された素子分離領域と、前記基板上にゲート絶縁膜

を介して形成されたワード線となるゲート電極と、前記ゲート電極を挟んで前記基板上に形成されたソース、ドレインとなる第2導電型の拡散層と、からなるメモリセルを複数個直列に接続したメモリセル群を複数個配列し、ここで、前記メモリセル群は、ソース拡散層、ドレイン拡散層及びチャンネル領域からなる能動領域を連続して形成してなり、前記メモリセル群の一方の端をビット線に接続するドレイン拡散層、他方の端をソース線に接続するソース拡散層とした半導体記憶装置において、前記ワード線を共有して隣接する2つのメモリセル群からなるメモリセル群対を複数個具備し、前記各メモリセル群対の拡散層の内、ソース拡散層は各メモリセル群対の2つのメモリセル群にまたがる連続した共通の拡散層として形成され、ドレイン拡散層は各メモリセル群対の2つのメモリセル群の夫々で独立した拡散層として形成されることと、前記ワード線を共有して隣接する2つのメモリセル群対のソース拡散層及びドレイン拡散層は前記ワード線を挟んで互い違いに配置されていることと、を特徴とする。

【0013】第6の発明は、第5の発明に係る半導体記憶装置において、前記各メモリセル群対の2つのドレイン拡散層間の素子分離幅は、隣接する2つのメモリセル群対間のドレイン拡散層とソース拡散層との間の素子分離幅と等しいことを特徴とする。

【0014】第7の発明は、第5または第6の発明に係る半導体記憶装置において、前記各メモリセル群対の2つのドレイン拡散層に対するコンタクトホールの中心点の夫々は、前記ワード線の延在方向と直交する2つのメモリセル群のチャンネル領域の各中心線に対して、夫々に隣接するメモリ対のソース拡散層側に片寄って位置することを特徴とする。

【0015】第8の発明は、第5乃至第7の発明のいずれかに係る半導体記憶装置において、前記各メモリセル群対の一方の端のメモリセルとドレイン拡散層との間、及び他方の端のメモリセルと前記ソース拡散層との間の少なくとも一方に、選択トランジスタを具備することを特徴とする。

【0016】第9の発明は、第5乃至第8の発明のいずれかに係る記載の半導体記憶装置において、前記各メモリセルは前記基板と前記ゲート電極との間に電荷蓄積領域を具備することを特徴とする。

【0017】本発明を別の視点から見ると、下記の10の特徴が見出される。本発明の第1の視点は、メモリセル若しくは直列接続された複数のメモリセルからなるメモリセル列を夫々構成する複数のMOSトランジスタと、前記MOSトランジスタのチャンネル領域を横断するワード線とを、メモリセルアレイ内に具備する半導体記憶装置において、前記ワード線を挟んで、2つのMOSトランジスタの夫々のドレイン領域となる2つのドレイン拡散層と、2つのMOSトランジスタのソース領域と

なる1つのソース拡散層とが互い違いに配設され、且つ前記ソース拡散層どうしはソース線により接続されることを特徴とする。

【0018】本発明の第2の視点は、メモリセル若しくは直列接続された複数のメモリセルからなるメモリセル列を夫々構成する複数のMOSトランジスタと、前記MOSトランジスタのチャンネル領域を横断するワード線とを、メモリセルアレイ内に具備する半導体記憶装置において、第1導電型の半導体基板の表面内に、前記ワード線を挟んで両側に位置するように、第1及び第2行に沿って形成された複数の第2導電型の拡散層が形成され、前記第1及び第2行の夫々において、1つの拡散層が1つのMOSトランジスタのドレイン領域となるドレイン拡散層である時、一方側でこれに隣接する拡散層は一方側で隣接する1つのMOSトランジスタのドレイン領域となるドレイン拡散層であり、他方側でこれに隣接する拡散層は他方側で隣接する2つのMOSトランジスタのソース領域となるソース拡散層であることを特徴とする。

【0019】本発明の第3の視点は、メモリセル若しくは直列接続された複数のメモリセルからなるメモリセル列を夫々構成する複数のMOSトランジスタと、前記MOSトランジスタのチャンネル領域を横断するワード線とを、メモリセルアレイ内に具備する半導体記憶装置において、第1導電型の半導体基板の表面内に、前記ワード線を挟んで両側に位置するように、第1及び第2行に沿って形成された複数の第2導電型の拡散層と、前記第1及び第2行の夫々において前記拡散層の夫々を分離する複数の素子分離領域と、を具備し、前記拡散層は、前記第1及び第2行の夫々において、2つのMOSトランジスタの夫々のドレイン領域となる2つのドレイン拡散層と、2つのMOSトランジスタのソース領域となる1つのソース拡散層とが交互に配置されたものであり、前記第1行の2つのドレイン拡散層と前記第2行の1つのソース拡散層とは前記ワード線を挟んで対向し、且つ前記第2行の2つのドレイン拡散層と前記第1行の1つのソース拡散層とは前記ワード線を挟んで対向することと、前記ソース拡散層どうしはソース線により接続されることと、を特徴とする。

【0020】本発明の第4の視点は、メモリセルを夫々構成する複数のMOSトランジスタをメモリセルアレイ内に具備する半導体記憶装置において、第1導電型の半導体基板と、前記半導体の表面内に、第1及び第2行に沿って形成された複数の第2導電型の拡散層と、前記拡散層は、前記第1及び第2行の夫々において、2つのMOSトランジスタの夫々のドレイン領域となる2つのドレイン拡散層と、2つのMOSトランジスタのソース領域となる1つのソース拡散層とが交互に配置されたものであることと、前記第1及び第2行の夫々において前記拡散層の夫々を分離する複数の素子分離領域と、前記第

1及び第2行間で、前記第1及び第2行に沿って並ぶように前記基板表面内に形成された複数のチャンネル領域と、前記第1行の2つのドレイン拡散層と前記第2行の1つのソース拡散層とは2つのチャンネル領域を介して接続され、且つ前記第2行の2つのドレイン拡散層と前記第1行の1つのソース拡散層とは2つのチャンネル領域を介して接続されることと、前記チャンネル領域上にゲート絶縁膜を介して配設され、前記第1及び第2行に沿って延びるワード線と、前記ドレイン拡散層の夫々に接続された複数のビット線と、前記ソース拡散層どうしを接続するソース線と、を具備することを特徴とする。

【0021】本発明の第5の視点は、直列接続された複数のメモリセルからなるメモリセル列を夫々構成する複数のMOSトランジスタをメモリセルアレイ内に具備する半導体記憶装置において、第1導電型の半導体基板と、前記半導体の表面内に、第1及び第2行に沿って形成された複数の第2導電型の拡散層と、前記拡散層は、前記第1及び第2行の夫々において、2つのMOSトランジスタの夫々のドレイン領域となる2つのドレイン拡散層と、2つのMOSトランジスタのソース領域となる1つのソース拡散層とが交互に配置されたものであることと、前記第1及び第2行の夫々において前記拡散層の夫々を分離する複数の素子分離領域と、前記第1及び第2行間で、前記第1及び第2行に沿って並ぶように前記基板表面内に形成された複数のチャンネル領域と、前記第1行の2つのドレイン拡散層と前記第2行の1つのソース拡散層とは2つのチャンネル領域を介して接続され、且つ前記第2行の2つのドレイン拡散層と前記第1行の1つのソース拡散層とは2つのチャンネル領域を介して接続されることと、前記チャンネル領域上にゲート絶縁膜を介して配設され、前記第1及び第2行に沿って延びる複数のワード線と、前記ドレイン拡散層の夫々に接続された複数のビット線と、前記ソース拡散層どうしを接続するソース線と、を具備することを特徴とする。

【0022】本発明の第6の視点は、直列接続された複数のメモリセルからなるメモリセル列を夫々構成する複数のMOSトランジスタをメモリセルアレイ内に具備する不揮発性半導体記憶装置において、第1導電型の半導体基板と、前記半導体の表面内に、第1及び第2行に沿って形成された複数の第2導電型の拡散層と、前記拡散層は、前記第1及び第2行の夫々において、2つのMOSトランジスタの夫々のドレイン領域となる2つのドレイン拡散層と、2つのMOSトランジスタのソース領域となる1つのソース拡散層とが交互に配置されたものであることと、前記第1及び第2行の夫々において前記拡散層の夫々を分離する複数の素子分離領域と、前記第1及び第2行間で、前記第1及び第2行に沿って並ぶように前記基板表面内に形成された複数のチャンネル領域と、前記第1行の2つのドレイン拡散層と前記第2行の1つのソース拡散層とは2つのチャンネル領域を介して接続さ

れ、且つ前記第2行の2つのドレイン拡散層と前記第1行の1つのソース拡散層とは2つのチャンネル領域を介して接続され、前記チャンネル領域上にゲート絶縁膜を介して配設された複数の浮遊ゲート電極と、前記浮遊ゲート電極はメモリセルに対応して分離形成され、前記浮遊ゲート電極上に絶縁膜を介して配設され、前記第1及び第2行に沿って延びる複数のワード線と、前記チャンネル領域上で且つ前記浮遊ゲート電極を挟むように、ゲート絶縁膜を介して配設された一対の選択ゲート線と、前記ドレイン拡散層の夫々に接続された複数のビット線と、前記ソース拡散層どうしを接続するソース線と、を具備することを特徴とする。

【0023】本発明の第7の視点は、第1乃至第6の視点のいずれかに係る半導体記憶装置において、2つの前記ドレイン拡散層間の距離と、前記ドレイン拡散層と前記ソース拡散層との距離が等しいことを特徴とする。

【0024】本発明の第8の視点は、第1乃至第7の視点のいずれかに係る半導体記憶装置において、対応のソース拡散層とドレイン拡散層とを結ぶ1つのMOSトランジスタのチャンネル領域の中心線に対して、ソース拡散層のコンタクトホール及びドレイン拡散層のコンタクトホールの夫々が非対称に配置されることを特徴とする。

【0025】本発明の第9の視点は、第1乃至第5の視点のいずれかに係る半導体記憶装置において、前記ワード線の下に、電荷蓄積用の浮遊ゲートが配設されることを特徴とする。

【0026】本発明の第10の視点は、第4乃至第6の視点のいずれかに係る半導体記憶装置において、前記ビット線及びソース線が、層間絶縁膜により分離された2つの導電層から夫々形成されることを特徴とする。

【0027】本発明によれば、2つのMOSトランジスタの夫々のドレイン領域となる2つのドレイン拡散層と、2つのMOSトランジスタのソース領域となる1つのソース拡散層とを交互に配置し、即ちビット線2本ごとにドレイン拡散層とソース拡散層とを、ワード線を挟んで互い違いにすることにより、隣接するMOSトランジスタどうしの距離を狭めることができ、従って、ビット線間のピッチを微細化し、メモリセルアレイの幅を小さくすることができる。

【0028】

【発明の実施の形態】

（第1の実施の形態）図1は本発明の第1の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイを示す平面図、図2及び図3は図1中の夫々II-II線及びI-I線に沿う断面図である。

【0029】図1乃至図3に示すように、P型の半導体基板101の表面内には、複数のN型の拡散層が、中央を横切るチャンネル領域の行を間に挟むように、第1の方向に沿って2行に形成される。各行において、N型の拡散層は、素子分離領域であるフィールド酸化膜104を

夫々挟んで配置される。図1中上側の行には、ソース拡散層103a、ドレイン拡散層102a及びドレイン拡散層102bが含まれる。また、図1中下側の行には、ドレイン拡散層102c、ドレイン拡散層102d及びソース拡散層103bが含まれる。各素子分離領域の幅は等しく、即ち各拡散層間の距離は等しい。

【0030】上側の行のドレイン拡散層102a、102bは下側のソース拡散層103bと夫々対をなし、2つのメモリセルに対応する2つのMOSトランジスタを構成する。同様に、下側の行のドレイン拡散層102c、102dは上側の行のソース拡散層103aと夫々対をなし、2つのメモリセルに対応する2つのMOSトランジスタを構成する。即ち、4つのMOSトランジスタのドレイン領域は、ドレイン拡散層102a~102dとして個々に独立しているが、これら4つのMOSトランジスタのソース領域は2つずつが合体し、ソース拡散層103a、103bとなっている。

【0031】各MOSトランジスタのチャンネル領域上には、1つの浮遊ゲート電極（電荷蓄積電極）106が、ゲート絶縁膜（酸化膜）105を介して配設される。浮遊ゲート電極106は各メモリセルに対応して分離形成される。更に、浮遊ゲート電極106上には、絶縁膜（熱酸化膜）107を介して制御ゲート電極108が配設される。制御ゲート電極108は各メモリセルに対応して分離形成されておらず、第1の方向に沿って並ぶ複数の浮遊ゲート電極106の共通のワード線として使用される。

【0032】ゲート電極106、108の周囲は絶縁膜（熱酸化膜）109により覆われ、更にその周囲は、表面平坦化を行うための層間絶縁膜であるBPSG膜110により覆われる。BPSG膜110には、ドレイン拡散層102a~102dに整合するようにコンタクトホール111a~111dが形成され、ソース拡散層103a、103bに整合するようにコンタクトホール112a、112bが形成される。これらのコンタクトホールは電極材料、例えばWで埋め込まれる。

【0033】BPSG膜110上には、第1の導電層、例えばアルミニウム層から形成される複数のビット線114が配設される。ビット線114はコンタクトホール111a~111d内の電極を介してドレイン拡散層102a~102dに接続される。また、ソース拡散層103a、103bのコンタクトホール112a、112b内の電極上には、第1のアルミニウム層から形成された接続層115が配設される。

【0034】ビット線114及び接続層115上には層間絶縁膜116が配設される。層間絶縁膜116には、接続層115に整合するように、即ちソース拡散層103a、103bに整合するように、コンタクトホール117a、117bが開孔される。層間絶縁膜116上には、第2の導電層、例えばアルミニウム層から形成され



るソース線118が配設される。ソース線118は、コンタクトホール117a、117b内に落込むように延びて接続層115にコンタクトし、これによりソース拡散層103a、103bが、ソース線118を介して、電気的に互いに接続される。

【0035】この様にしてメモリセルを複数個配置した、本発明の第1の実施の形態に係る半導体記憶装置においては、各MOSトランジスタのドレイン領域は個々の拡散層として独立する一方、ソース領域は2つずつが1つの拡散層として合体し、また、2つのドレイン拡散層と、1つのソース拡散層とが、チャンネル領域の行を挟んで、互い違いに配設される。換言すれば、チャンネル領域の行を挟んで、一方の側には、2つのドレイン拡散層と1つのソース拡散層とが交互に一行に配設され、他方の側にも、2つのドレイン拡散層と1つのソース拡散層とが交互に一行に配設される。そして、各拡散層に対して1つのコンタクトホールが形成される。

【0036】2つのMOSトランジスタに対応する、一方の行の1つのソース拡散層と他方の行の2つのドレイン拡散層とは、第1の方向と直交する第2の方向において、チャンネル領域を挟んで対向する部分を有する。しかし、ソース拡散層のコンタクトホールは、対応する2つのチャンネル領域の中心線の概ね中間の内側位置にシフトして形成される。また、2つのドレイン拡散層のコンタ

$$Wb1 = 4Wf + 8Lf + 4Lc \quad \dots (1)$$

で表される。

【0039】本発明による構造では、4つのメモリセル

$$Wb2 = 4Wf + 4Lf + 2Lc + 2Wch \quad \dots (2)$$

となる。

$$\Delta Wb = Wb1 - Wb2 = 4Lf + 2Lc - 2Wch \quad \dots (3)$$

となる。この時チャンネル領域の幅が十分微細化されるメモリセルでは、

$$2Lf + Lc - Wch > 0$$

となる。よって $\Delta Wb$ だけビット線間隔の縮小が可能になる。

【0041】(第2の実施の形態) 図4は本発明の第2の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイを示す平面図、図5及び図6は図4中の夫々V-V線及びVI-VI線に沿う断面図である。第2の実施の形態は、マトリックス状に配置された複数のメモリセルを有するNAND型の不揮発性半導体記憶装置に関する。即ち、本装置においては、1つのMOSトランジスタのチャンネル領域上に、複数個のメモリセルを構成するための浮遊ゲート電極の列が形成される。

【0042】図4乃至図6に示すように、P型の半導体基板201の表面内には、複数のN型の拡散層が、中央を横切るチャンネル領域の行を間に挟むように、第1の方向に沿って2行に形成される。各行において、N型の拡散層は、素子分離領域であるフィールド酸化膜204を夫々挟んで配設される。図4中上側の行には、ソース拡

クトホールは、対応するチャンネル領域の中心線よりも、同行内で隣接するソース拡散層に近い外側位置にシフトして形成される。

【0037】即ち、 $2 \times N$ 個( $N$ は正の偶数)のMOSトランジスタを配置する場合、チャンネル領域の行を挟んで各側に $3N/2$ 個のコンタクトホールが並ぶ。また、 $2 \times M$ 個( $M$ は正の奇数)のMOSトランジスタを配置する場合、チャンネル領域の行を挟んで一方側に $(3M+1)/2$ 個のコンタクトホールが、他方側に $(3M-1)/2$ 個のコンタクトホールが並ぶ。このため、従来の半導体記憶装置のように、 $2 \times N$ 個或いは $2 \times M$ 個のドレイン拡散層を素子分離領域を挟んで一行に並べる場合に比べて、メモリセルアレイの幅を小さくすることができる。

【0038】次に、4個の隣接するメモリセルを例にとり、従来の構造と本発明の構造との相違を説明する。ここで、

$Wf$  = 素子分離領域幅、

$Lf$  = アライメントマージン (拡散層、コンタクトホール及び配線の間)、

$Lc$  = コンタクトホール径、

$Wch$  = チャンネル領域幅、

とすると、従来の構造では、4つのメモリセルアレイの長さ $Wb1$ は、

アレイの長さ $Wb2$ は、

【0040】その差は $\Delta Wb$ は、

拡散層203a、ドレイン拡散層202a及びドレイン拡散層202bが含まれる。また、図4中下側の行には、ドレイン拡散層202c、ドレイン拡散層202d及びソース拡散層203bが含まれる。各素子分離領域の幅は等しく、即ち各拡散層間の距離は等しい。

【0043】上側の行のドレイン拡散層202a、202bは下側のソース拡散層203bと夫々対をなし、第1の方向と直交する第2方向に延びる2つのメモリセル列に対応する2つのMOSトランジスタを構成する。同様に、下側の行のドレイン拡散層202c、202dは上側の行のソース拡散層203aと夫々対をなし、第2方向に延びる2つのメモリセル列に対応する2つのMOSトランジスタを構成する。即ち、4つのMOSトランジスタのドレイン領域は、ドレイン拡散層202a~202dとして個々に独立しているが、これら4つのMOSトランジスタのソース領域は2つずつが合体し、ソース拡散層203a、203bとなっている。

【0044】各MOSトランジスタのチャンネル領域上には、複数の浮遊ゲート電極(電荷蓄積電極)206が、ゲート絶縁膜(酸化膜)205を介して配設される。浮

遊ゲート電極206は各メモリセルに対応して分離形成される。更に、浮遊ゲート電極206上には、絶縁膜

(熱酸化膜)207を介して第1の方向に延びる複数本の制御ゲート電極208が配設される。各制御ゲート電極208は各メモリセルに対応して分離形成されておらず、第1の方向に沿って並ぶ、即ち一行の、複数の浮遊ゲート電極206に共通のワード線(W1~Wn)として使用される。1つのMOSトランジスタのチャネル領域上に配置された複数の浮遊ゲート電極206は、第2の方向に並ぶメモリセル列を構成し、ソース及びドレイン領域を共有する。

【0045】ゲート電極206、208の周囲は絶縁膜(熱酸化膜)209により覆われ、更にその周囲は、表面平坦化を行うための層間絶縁膜であるBPSG膜210により覆われる。BPSG膜210には、ドレイン拡散層202a~202dに整合するようにコンタクトホール211a~211dが形成され、ソース拡散層203a、203bに整合するようにコンタクトホール212a、212bが形成される。これらのコンタクトホールは電極材料、例えばWで埋め込まれる。

【0046】BPSG膜210上には、第1の導電層、例えばアルミニウム層から形成される複数のビット線214が配設される。ビット線214はコンタクトホール211a~211d内の電極を介してドレイン拡散層202a~202dに接続される。また、ソース拡散層203a、203bのコンタクトホール212a、212b内の電極上には、第1のアルミニウム層から形成された接続層215が配設される。

【0047】ビット線214及び接続層215上には層間絶縁膜216が配設される。層間絶縁膜216には、接続層215に整合するように、即ちソース拡散層203a、203bに整合するように、コンタクトホール217a、217bが開孔される。層間絶縁膜216上には、第2の導電層、例えばアルミニウム層から形成されるソース線218が配設される。ソース線218は、コンタクトホール217a、217b内に落込むように延びて接続層215にコンタクトし、これによりソース拡散層203a、203bが、ソース線218を介して、電気的に互いに接続される。

【0048】この様にしてメモリセルを複数個配置した、本発明の第2の実施の形態に係る半導体記憶装置においては、各MOSトランジスタのドレイン領域は個々の拡散層として独立する一方、ソース領域は2つずつが1つの拡散層として合体し、また、2つのドレイン拡散層と、1つのソース拡散層とが、チャネル領域の行を挟んで、互い違いに配設される。換言すれば、チャネル領域の行を挟んで、一方の側には、2つのドレイン拡散層と1つのソース拡散層とが交互に一行に配設され、他方の側にも、2つのドレイン拡散層と1つのソース拡散層とが交互に一行に配設される。そして、各拡散層に対し

て1つのコンタクトホールが形成される。

【0049】2つのMOSトランジスタに対応する、一方の行の1つのソース拡散層と他方の行の2つのドレイン拡散層とは、第1の方向と直交する第2の方向において、チャネル領域を挟んで対向する部分を有する。しかし、ソース拡散層のコンタクトホールは、対応する2つのチャネル領域の中心線の概ね中間の内側位置にシフトして形成される。また、2つのドレイン拡散層のコンタクトホールは、対応するチャネル領域の中心線よりも、同行内で隣接するソース拡散層に近い外側位置にシフトして形成される。

【0050】即ち、 $2 \times N$ 個( $N$ は正の偶数)のMOSトランジスタを配置する場合、チャネル領域の行を挟んで各側に $3N/2$ 個のコンタクトホールが並ぶ。また、 $2 \times M$ 個( $M$ は正の奇数)のMOSトランジスタを配置する場合、チャネル領域の行を挟んで一方側に $(3M+1)/2$ 個のコンタクトホールが、他方側に $(3M-1)/2$ 個のコンタクトホールが並ぶ。このため、従来の半導体記憶装置のように、 $2 \times N$ 個或いは $2 \times M$ 個のドレイン拡散層を素子分離領域を挟んで一行に並べる場合に比べて、メモリセルアレイの幅を小さくすることができる。

【0051】より具体的には、第1の実施の形態において述べた式(1)~(3)の関係が成立し、ビット線間隔の縮小が実現できる。

(第3の実施の形態)図7は本発明の第3の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイを示す平面図、図8及び図9は図7中の夫々VIII-VIII線及びIX-IX線に沿う断面図である。第3の実施の形態は、マトリクス状に配置された複数のメモリセルを有するNAND型EEPROMに関する。即ち、本装置においては、1つのMOSトランジスタのチャネル領域上に、複数のメモリセルを構成するための浮遊ゲート電極の列と、浮遊ゲート電極の列を挟んで両側に配置された1対の選択ゲート電極と、が形成される。

【0052】図7乃至図9に示すように、P型の半導体基板301の表面内には、複数のN型の拡散層が、中央を横切るチャネル領域の行を間に挟むように、第1の方向に沿って2行に形成される。各行において、N型の拡散層は、素子分離領域であるフィールド酸化膜304を夫々挟んで配置される。図7中上側の行には、ソース拡散層303a、ドレイン拡散層302a及びドレイン拡散層302bが含まれる。また、図7中下側の行には、ドレイン拡散層302c、ドレイン拡散層302d及びソース拡散層303bが含まれる。各素子分離領域の幅は等しく、即ち各拡散層間の距離は等しい。

【0053】上側の行のドレイン拡散層302a、302bは下側のソース拡散層303bと夫々対をなし、第1の方向と直交する第2方向に延びる2つのメモリセル列に対応する2つのMOSトランジスタを構成する。同

様に、下側の行のドレイン拡散層302c、302dは上側の行のソース拡散層303aと夫々対をなし、第2方向に延びる2つのメモリセル列に対応する2つのMOSTランジスタを構成する。即ち、4つのMOSTランジスタのドレイン領域は、ドレイン拡散層302a~302dとして個々に独立しているが、これら4つのMOSTランジスタのソース領域は2つずつが合体し、ソース拡散層303a、303bとなっている。

【0054】各MOSTランジスタのチャネル領域上には、一対の選択ゲート電極306aと、その間に挟まれた複数の浮遊ゲート電極（電荷蓄積電極）306bとが、夫々ゲート絶縁膜（酸化膜）305a、305bを介して配設される。ゲート絶縁膜305a、305bの夫々の厚さは、例えば25nm及び10nmである。選択ゲート電極306aは一体に繋がった電極として形成される一方、浮遊ゲート電極306bは、分離領域313により各メモリセルに対応して分離形成される。

【0055】更に、選択ゲート電極306a及び浮遊ゲート電極306b上には、絶縁膜（熱酸化膜）307を介して、第1の方向に延びる複数本のゲート電極308a、308bが配設される。選択ゲート電極306a上のゲート電極308aは選択ゲート線（SG1~SG2）として使用される。浮遊ゲート電極306b上の各ゲート電極308bは各メモリセルに対応して分離形成されておらず、第1の方向に沿って並ぶ、即ち一行の、複数の浮遊ゲート電極306bに共通のワード線（W1~Wn）として使用される。1つのMOSTランジスタのチャネル領域上に配置された複数の浮遊ゲート電極306bは、第2の方向に並ぶメモリセル列を構成し、ソース及びドレイン領域並びに1対の選択ゲートを共有する。

【0056】ゲート電極306a、306b、308a、308bの周囲は絶縁膜（熱酸化膜）309により覆われ、更にその周囲は、表面平坦化を行うための層間絶縁膜であるBPSG膜310により覆われる。BPSG膜310には、ドレイン拡散層302a~302dに整合するようにコンタクトホール311a~311dが形成され、ソース拡散層303a、303bに整合するようにコンタクトホール312a、312bが形成される。これらのコンタクトホールは電極材料、例えばWで埋め込まれる。

【0057】BPSG膜310上には、第1の導電層、例えばアルミニウム層から形成される複数のビット線314が配設される。ビット線314はコンタクトホール311a~311d内の電極を介してドレイン拡散層302a~302dに接続される。また、ソース拡散層303a、303bのコンタクトホール312a、312b内の電極上には、第1のアルミニウム層から形成された接続層315が配設される。

【0058】ビット線314及び接続層315上には層

間絶縁膜316が配設される。層間絶縁膜316には、接続層315に整合するように、即ちソース拡散層303a、303bに整合するように、コンタクトホール317a、317bが開孔される。層間絶縁膜316上には、第2の導電層、例えばアルミニウム層から形成されるソース線318が配設される。ソース線318は、コンタクトホール317a、317b内に落込むように延びて接続層315にコンタクトし、これによりソース拡散層303a、303bが、ソース線318を介して、電気的に互いに接続される。

【0059】この様にしてメモリセルを複数個配置した、本発明の第3の実施の形態に係る半導体記憶装置においては、各MOSTランジスタのドレイン領域は個々の拡散層として独立する一方、ソース領域は2つずつが1つの拡散層として合体し、また、2つのドレイン拡散層と、1つのソース拡散層とが、チャネル領域の行を挟んで、互い違いに配設される。換言すれば、チャネル領域の行を挟んで、一方の側には、2つのドレイン拡散層と1つのソース拡散層とが交互に一行に配設され、他方の側にも、2つのドレイン拡散層と1つのソース拡散層とが交互に一行に配設される。そして、各拡散層に対して1つのコンタクトホールが形成される。

【0060】2つのMOSTランジスタに対応する、一方の行の1つのソース拡散層と他方の行の2つのドレイン拡散層とは、第1の方向と直交する第2の方向において、チャネル領域を挟んで対向する部分を有する。しかし、ソース拡散層のコンタクトホールは、対応する2つのチャネル領域の中心線の概ね中間の内側位置にシフトして形成される。また、2つのドレイン拡散層のコンタクトホールは、対応するチャネル領域の中心線よりも、同行内で隣接するソース拡散層に近い外側位置にシフトして形成される。

【0061】即ち、 $2 \times N$ 個（Nは正の偶数）のMOSTランジスタを配置する場合、チャネル領域の行を挟んで各側に $3N/2$ 個のコンタクトホールが並ぶ。また、 $2 \times M$ 個（Mは正の奇数）のMOSTランジスタを配置する場合、チャネル領域の行を挟んで一方側に $(3M+1)/2$ 個のコンタクトホールが、他方側に $(3M-1)/2$ 個のコンタクトホールが並ぶ。このため、従来の半導体記憶装置のように、 $2 \times N$ 個或いは $2 \times M$ 個のドレイン拡散層を素子分離領域を挟んで一行に並べる場合に比べて、メモリセルアレイの幅を小さくすることができる。

【0062】より具体的には、第1の実施の形態において述べた式（1）~（3）の関係が成立し、ビット線間隔の縮小が実現できる。図10は従来のNAND型EEPROMのメモリセルアレイを一部抜き出して示す回路図である。ここで、制御ゲートCG（図10では符号CG1~CG2で指示）で制御される積層型のメモリセル320が複数個直列接続される。メモリセルの直列接続

端部、即ちドレインD側(図10では符号BLが付された側)とソースS側とに、夫々選択ゲートSG1、SG2により制御される選択トランジスタ321が配設される。図11は、従来のメモリセルアレイにおいて、消去、書き込み及び読み出し動作時に各所に印加される電圧例を示す図である。

【0063】図12は本発明の第3の実施の形態に係るNAND型EEPROMのメモリセルアレイを一部抜き出して示す回路図である。制御ゲートCG(図11では符号CG1~CG2で指示)で制御される積層型のメモリセル320が複数個直列接続される。メモリセルの直列接続端部、即ちドレインD側(図11では符号BL1、BL2が付された側)とソースS側とに、夫々選択ゲートSG1、SG2により制御される選択トランジスタ321が配設される。図13は、本発明のメモリセルアレイにおいて、消去、書き込み及び読み出し動作時に各所に印加される電圧例を示す図である。

【0064】図11及び図13図示の如く、本発明のメモリセルのデータの消去は、従来のメモリセルのデータの消去と同じである。データの消去においては、ビット線BL及びソース線Sをオープンし、制御ゲートCGを全部0Vにバイアスし、選択ゲートSG1、SG2及び基板Wに消去電圧 $V_{ppe}$ (ここでEは消去を示す記号)、例えば20Vを印加することにより絶縁膜のトンネル現象を利用し、全ての浮遊ゲート内の電子を引き抜く。これにより、全てのセルの閾値は0V以下、即ち、ノーマリオン化(デプレッション型化、データ“1”化)される。

【0065】従来のNAND型EEPROMのメモリセルのデータの書き込みにおいては、制御ゲートCGのうち、選択セルの制御ゲートには書き込み電圧 $V_{ppw}$ (ここでWは書き込みを示す記号)、例えば20Vを、非選択セルの制御ゲート及びドレイン側の選択ゲートSG1には中間電位 $V_m$ ( $V_{ppw}$ と0Vとの中間電位)、例えば10Vを、基板W及びソース側の選択ゲートSG2には0Vを印加する。この状態でビット線BLのうち、データ“0”を書き込むセルのビット線には0V、データ“1”のままのセルには $V_m$ を印加する。

【0066】これに対して、本発明のNAND型EEPROMにおいては、この動作方法では誤書き込みが起ってしまう。そこで、本発明のNAND型EEPROMのメモリセルのデータの書き込みにおいては、制御ゲートCGのうち、選択セルの制御ゲートには $V_{ppw}$ を、非選択セルの制御ゲートには $V_m$ を印加した状態にする。そして、ビット線BL1につながるNANDセルに書き込みを行う場合は、ビット線BL1のうち、データ“0”を書き込むセルのビット線には0Vを、データ“1”のままのセルには $V_m$ を印加し、選択ゲートSG1及びソース線Sには $V_m$ を印加し、基板W及び選択ゲートSG2には0Vを印加する。また、ビット線BL2につながるN

ANDセルに書き込みを行う場合は、ビット線BL2のうち、データ“0”を書き込むセルのビット線には0Vを、データ“1”のままのセルには $V_m$ を印加し、選択ゲートSG2及びソース線Sには $V_m$ を印加し、基板WとSG1には0Vを印加する。

【0067】本発明のメモリセルのデータの読み出しは、従来のメモリセルのデータの読み出しと同じである。データの読み出しにおいては、選択セルの属するビット線には $V_{cc}$ 、例えば5Vをプリチャージし、非選択のビット線には0Vを印加する。そして選択されたセルの制御ゲートに0Vを、それ以外の非選択セルの制御ゲートには $V_{cc}$ を印加し、選択ゲートを開いてビット線から電流が流れ込むか否かによってデータ“0”/“1”を判定する。即ち、セルがデプレッション化していれば電流は流れるが、閾値が正になっていけば電流は流れない。

【0068】なお、第1乃至第3の実施の形態においては、ソース拡散層に対応してBPSG膜110、210、310及び層間絶縁膜116、216、316に形成される上下2つのコンタクトホールは、中心が整一するが、BPSG膜のコンタクトホール上に配設される接続層115、215、315を大面積に形成することにより、層間絶縁膜116、216、316のコンタクトホールの位置を、ソース拡散層の上方の位置からシフトさせることができる。例えば、図1、図2図示のコンタクトホール112a、112bを埋め込まないような場合、その上にコンタクトホール117a、117bを配置することができない。このような場合、図14図示の如く、接続層415をビット線方向に沿って延長し、層間絶縁膜のコンタクトホール417a、417bをコンタクトホール112a、112bからずらして形成し、ソース線418でつなげばよい。

【0069】また、第1乃至第3の実施の形態においては、BPSG膜110、210、310のコンタクトホールにおけるコンタクトは埋め込み電極材料により形成され、層間絶縁膜116、216、316のコンタクトホールにおけるコンタクトは配線となる第2のアルミニウム層を利用して直接形成される。しかし、これとは逆に、BPSG膜のコンタクトホールにおけるコンタクトを配線となる第1のアルミニウム層を利用して形成し、層間絶縁膜のコンタクトホールにおけるコンタクトを埋め込み電極材料により形成することもできる。また、第1乃至第3の実施の形態においては、ビット線が第1のアルミニウム層から、ソース線が第2のアルミニウム層から形成されるが、これとは逆に、ソース線が第1のアルミニウム層から、ビット線が第2のアルミニウム層から形成されてもよい。

【0070】また第1乃至第3の実施の形態においては、浮遊ゲートをもつ不揮発性半導体記憶装置について記述したが、例えばマスクROMのような浮遊ゲートを

17

有しない1層のゲート電極のみをワード線として有する半導体記憶装置であっても同様の効果が得られる。

【0071】また第1乃至第3の実施の形態においては、ピッチの縮小を制限する因子として拡散層を例にして説明したが、ビット線配線層が因子となった場合も同様の応用ができる。即ち、同一ビット線に接続されたコンタクトホールを中心線に対し、ビット線配線層を拡散層の場合と同様にずらすことにより、ピッチの縮小が実現できる。

【0072】

【発明の効果】本発明によれば、メモリセルを複数個有する半導体記憶装置において、隣接するMOSトランジスタどうしの距離を狭めることができ、従って、ビット線間のピッチを微細化し、メモリセルアレイの幅を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイを示す平面図。

【図2】図1中のII-II線に沿う断面図。

【図3】図1中のIII-III線に沿う断面図。

【図4】本発明の第2の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイを示す平面図。

【図5】図4中のV-V線に沿う断面図。

【図6】図4中のVI-VI線に沿う断面図。

【図7】本発明の第3の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイを示す平面図。

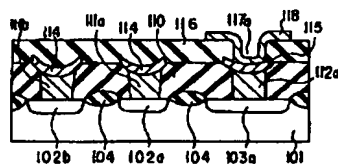
【図8】図7中のVIII-VIII線に沿う断面図。

【図9】図7中のIX-IX線に沿う断面図。

【図10】従来のNAND型EEPROMのメモリセルアレイを一部抜き出して示す回路図。

【図11】図10図示のメモリセルアレイにおける、消去、書き込み及び読み出し動作時に各所に印加される電圧例を示す図。

【図2】



18

【図12】本発明の3の実施の形態に係るNAND型EEPROMのメモリセルアレイを一部抜き出して示す回路図。

【図13】図12図示のメモリセルアレイにおける、消去、書き込み及び読み出し動作時に各所に印加される電圧例を示す図。

【図14】本発明の第1の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイの変更例を示す平面図。

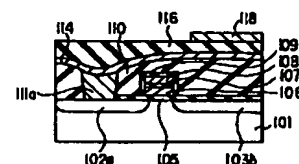
10 【図15】従来の半導体記憶装置のドレインコンタクト部の平面図。

【図16】図15中のXVI-XVI線に沿う断面図。

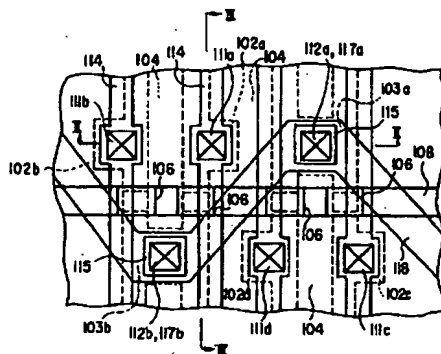
【符号の説明】

101、201、301…半導体基板、102a~102d、202a~202d、302a~302d…ドレイン拡散層、103a、103b、203a、203b、303a、303b…ソース拡散層、104、204、304…素子分離領域、105、205、305a、305b…ゲート絶縁膜、106、206、306b…浮遊ゲート電極、107、207、307…絶縁膜、108、208、308b…制御ゲート電極、306a、308b…選択ゲート電極、109、209、309…絶縁膜、110、210、310…BPSG膜、111a~111d、211a~211d、311~311d、112a、112b、212a、212b、312a、312b…BPSG膜に形成されたコンタクトホール、313…分離領域、114、214、314…ビット線、115、215、315、415…接続層、116、216、316…層間絶縁膜、117a、117b、217a、217b、317a、317b、417a、417b…層間絶縁膜に形成されたコンタクトホール、118、218、318、418…ソース線。

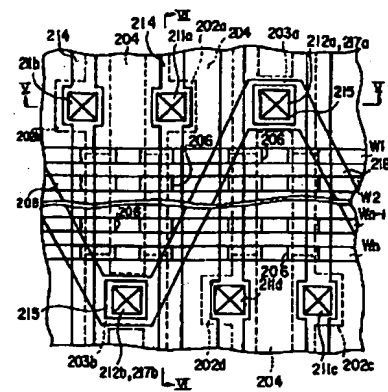
【図3】



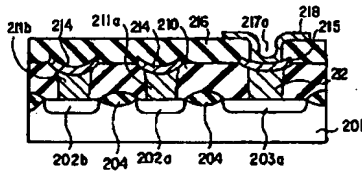
【図1】



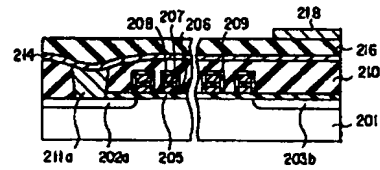
【図4】



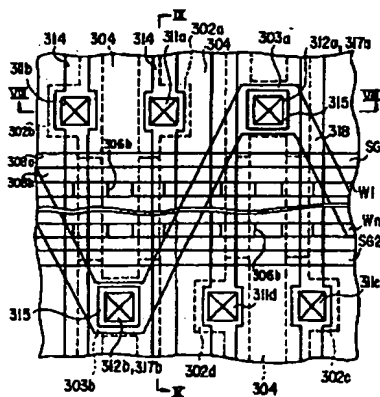
【図5】



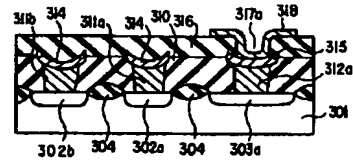
【図6】



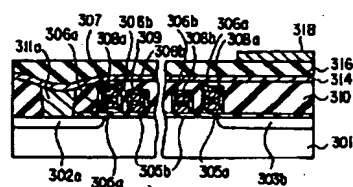
【図7】



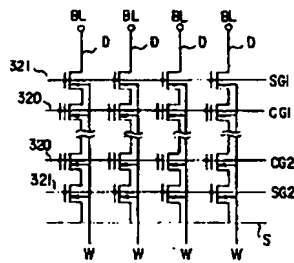
【図8】



【図9】



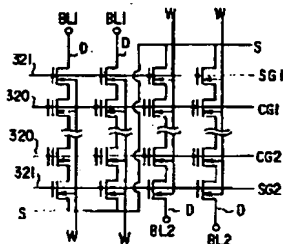
【图 10】



【图 1 1】

	読み出し	消去	書き込み
6L	Yes アドレス	OPEN	"0" 書き込み OV "1" 書き込み VM
SG1	Yes	Vpp	VM
C6	選択 OV 非選択 Vec	OV	選択 Vpp 非選択 VM
SG2	Yes	Vpp	OV
W	OV	Vpp	OV
S	OV	OPEN	OV / OPEN

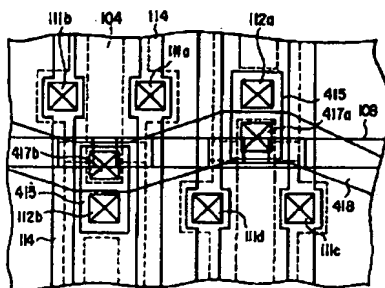
【图 12】



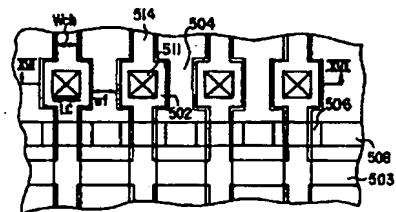
【图 13】

	読み出し	消去	BL1につながらず の NAND への書き込み	BL2につながらず の NAND への書き込み
BL1	Vcc プリチャージ	OPEN	0 書き込み 0V 1 書き込み Vm	OPEN
BL2			OPEN	0 書き込み 0V 1 書き込み Vm
SG1	Vcc	Vpp	Vm	OV
CG	選択 0V 非選択 Vcc	OV	選択 Vpp 非選択 Vm	
SG2	Vcc	Vpp	OV	Vm
W	OV	Vpp		OV
S	OV	OPEN		Vm

〔圖 14〕



【图 15】



【図16】

